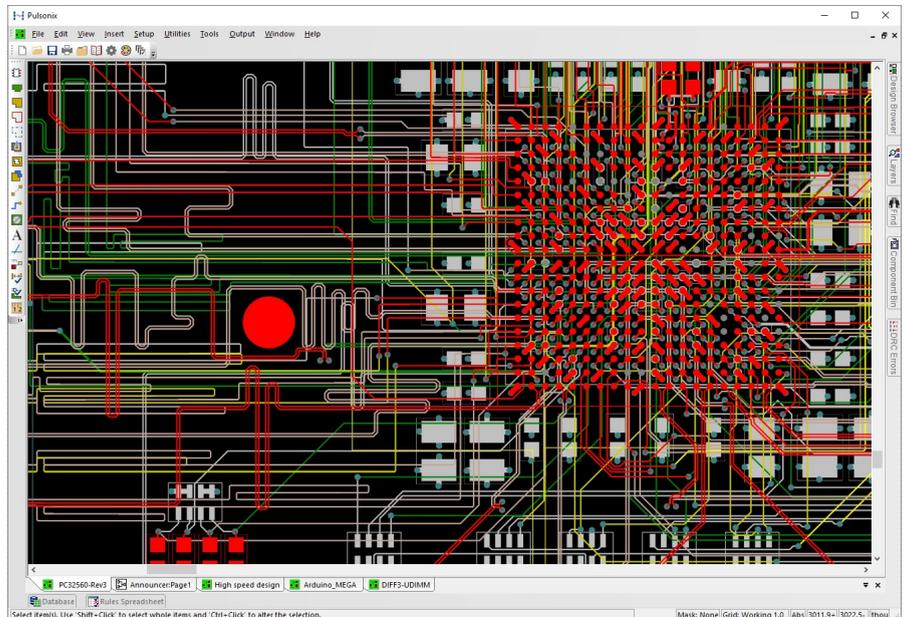


# Pulsonix Version 11.0 Update

## Neue Grafik-Engine

In Pulsonix wurden erhebliche Geschwindigkeitsverbesserungen vorgenommen, indem die zugrunde liegende Grafik-Engine vollständig neu geschrieben wurde, um den DirectX-Grafik Standard zu verwenden. Dieser Standard bedeutet, dass Hochleistungsgrafikkarten, wie sie in der Spielebranche mit leistungsstarken GPU-Chipsätzen verwendet werden, genutzt werden können. Neben dem Geschwindigkeitsvorteil verbessert die neue Grafik auch die Renderqualität der Anzeige in Pulsonix. Bei großen Designs wurden bereits Geschwindigkeitssteigerungen von bis zu 80% bei Kunden beobachtet.

Die Einführung von Auto-Pan ermöglicht ein super flüssiges Verschieben im Schaltplan- und Leiterplatten-Editor mit Version 11.



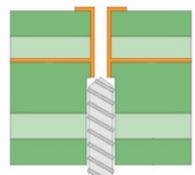
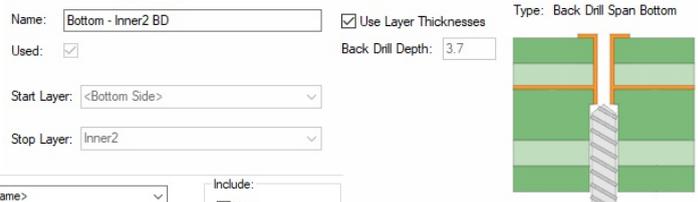
## Umfangreiche Multithreading-Technologie

Die Nutzung von Multithreading wurde erweitert und vielen Funktionen in Pulsonix hinzugefügt, z.B. DRC (Design Rules Check), Kupfer-Fluten und Netz Optimierung, um nur einige zu nennen. Mit Multi-Core-Prozessoren kann die Geschwindigkeit in Pulsonix bei Funktionen, die prozessorintensiv sind und Parallelverarbeitung verwenden, erheblich gesteigert werden.

Multi-Threading-Verbesserungen für Optionen bei Verwendung von 8 Kernen:	Durchschnittliche Geschwindigkeitssteigerung
■ Design Rules Check (DRC)	65%+
■ Erzeugung von Gerber Ausgaben	65%
■ Regeltabelle für High-Speed Designs	60%+
■ Kupfer-Flutung von Vorlagen	75%
■ Entfernen von geflutetem Kupfer	60%
■ Netzoptimierung bei großen Netzen	60%

## Back Drilling für High-Speed Designs

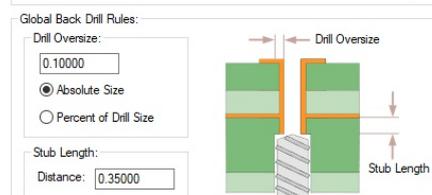
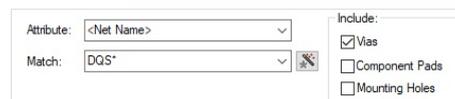
Pulsonix 11 erweitert seine HS-Designoption um neue Funktionen, um das Zurückbohren zu ermöglichen. Mithilfe eines einfach zu erstellenden Regelsatzes kann das Zurückbohren für Netze definiert werden, bei denen unerwünschte Stummel bei Durchkontaktierungen oder THT-Bauteilpins entfernt werden müssen. Dies kann Probleme mit der Signalintegrität und Signalverzerrungen erheblich verbessern. Stummel entstehen, wenn eine Hülse nicht verwendete Teile ihres Lagenstapels zu den äußeren Lagen der Platine hat. Mit den definierten Regelsätzen können diese im Design schnell identifiziert und entfernt werden. Basierend auf ihren Regeln können spezifische NC-Bohransgaben für zurückgebohrte Hülsen erstellt werden.



Einfache Regeldefinition für das Zurückbohren, um Signalverzerrungen durch Stichleitungen zu vermeiden

## Erweiterter Zeichensatz (Unicode)

Pulsonix unterstützt jetzt erweiterten Zeichensatz und Internationalisierung unter Verwendung des Unicode-Standards. Neben Zeichensätzen für Sprachen wie Chinesisch und Koreanisch unterstützt Pulsonix 11 auch technische Zeichen wie  $\Omega$ ,  $\neq$ ,  $\leq$ ,  $\geq$ ,  $\pm$

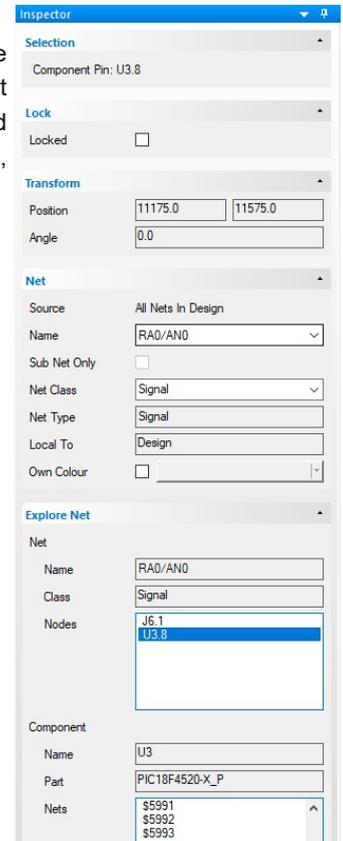


Auto Generate Back Drill Spans

	Include	Name	Start Layer	Stop Layer
1	<input checked="" type="checkbox"/>	Back Drill 1	<Bottom Side	Inner3
2	<input checked="" type="checkbox"/>	Back Drill 2	<Top Side	Inner2
3	<input checked="" type="checkbox"/>	Back Drill 3	<Bottom Side	Inner5

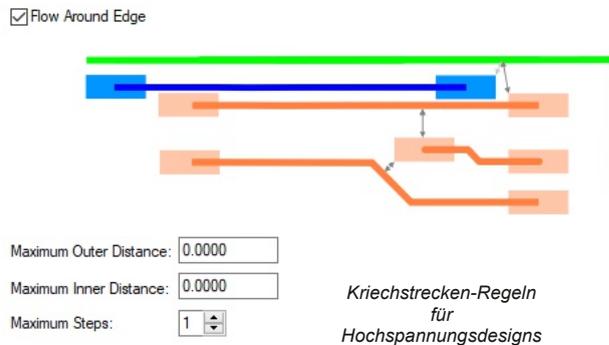
## Dynamische Eigenschaften (Inspector) -Leiste

Die neue Inspektorleiste bringt dynamische Objekteigenschaften in den Pulsonix-Arbeitsbereich. Diese interaktive andockbare Leiste kann jederzeit eingeblendet werden und zeigt bei Bedarf in Echtzeit spezifische Informationen zu ausgewählten Designinhalten an. Designelemente werden im Bedienfeld in logische Funktionsblöcke gruppiert und können angepasst werden, um Informationen zu priorisieren, die für Sie wichtig sind.



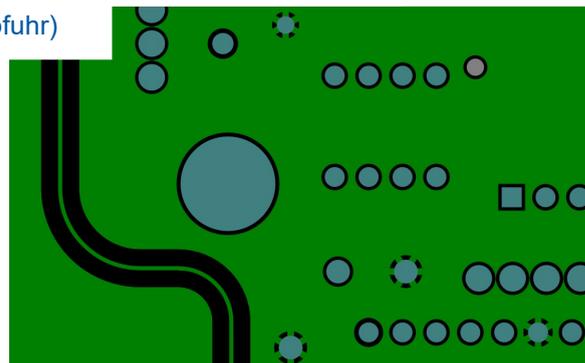
## Kriechstrecken - Regeln und Prüfung

Mit der Kriechstrecken-Regel in Pulsonix 11 können kritische Netze identifiziert und Regeln für diese definiert werden. Typischerweise sind dies Netze in von Hochspannungs-Designs. Diese Regel unterscheidet sich von Standard-Abstandsregeln darin, dass sie den kürzesten Weg zwischen zwei leitenden Objekten entlang der Oberfläche, auch von Luftspalten und am Rand der Platine, definiert.



## Regeln für Kupferquerschnitt (Leistungsabfuhr)

Mit den neuen Regeln für Kupferquerschnitt in Pulsonix 11 können Querschnitte definiert und dann überprüft werden, mit denen Kupfer zwischen Pads geflutet wird. Wenn Kupferflächen zur Leistungsabfuhr verwendet werden, ist eine Verjüngung normalerweise unerwünscht und sollte beseitigt werden. Mit der neuen Regel kann für definierte Netze eine gleichmäßigere Verteilung erreicht werden.

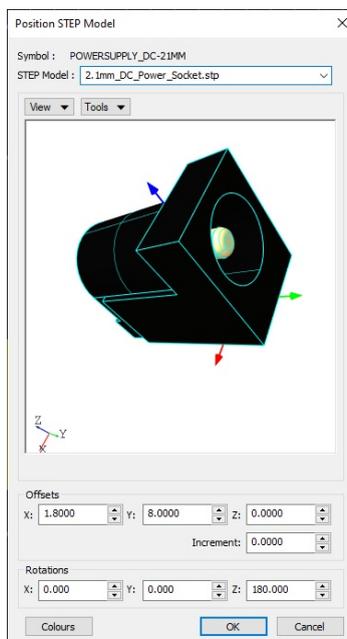


Reduzieren Sie Probleme bei der Leistungsabfuhr mit der neuen Regel

Eigenschaften für Objekte, die in Ihrem Design ausgewählt wurden, werden dynamisch in der neuen Inspektorleiste angezeigt

## STEP Verbesserungen

Das STEP-Interface wurde verbessert, einschließlich einer signifikanten Geschwindigkeitssteigerung durch STEP-Dateierstellung im Hintergrund, die automatisch aktualisiert wird, wenn sich das Design ändert. Der STEP-Modell zu Footprint Dialog wurde verbessert und enthält Tools zur Modellorientierung und -ausrichtung. Beim STEP-Import in das PCB-Design können Montagelöcher und Durchkontaktierungen aus STEP-Dateien importiert werden, wodurch die Funktionalität und Visualisierung Ihres Designs weiter verbessert wird. Auch können Board Placement Sites importiert werden, um die Platzierung kritischer Bauteile zu unterstützen.

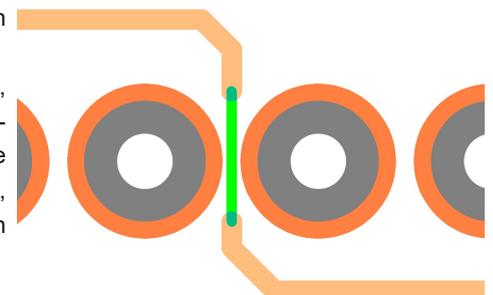


STEP-Verbesserungen in Pulsonix 11 erweitern das Pulsonix 3D-PCB-Erlebnis

## Automatisches Verjüngen an SMD-Pads

Mit den neuen Regeln für das automatische Verjüngen können Anschluss-Regeln eingehalten werden, wenn festgestellt wird, dass die Leiterbahnbreite für das Pad, aus dem es austritt, zu 'fett' ist. Durch die Definition eines Prozentsatzes des Verhältnisses von Leiterbahn zu Pad und einer minimalen Stichelänge können diese Regeln während des Routings automatisch aktiviert und ohne weitere manuelle Eingriffe verwendet werden.

Das zusätzliche Auto-Necking-Tool ermöglicht die Verwendung der alternativen Bahnbreite beim Verjüngen. Dies würde den erforderlichen Abstand bieten, um eine Leiterbahn durch eine Lücke zu führen, z.B. zwischen zwei Pads.



Neue Auto Pad Necking-Regeln und Auto Necking-Tools bieten schnellere Bearbeitungsoptionen für dichte Designs

## Differenzialpaar Regeln und Verbesserungen

Erstellen Sie Differenzialpaar Regeln mit den neuen Regeldefinitionen in der Technologie. Flexible Regeln lassen sich leicht durch Netzattribute und Platzhalter definieren, die je nach Präferenz eindeutig oder allgemein sein können. Wenn bestimmte Differenzialpaar Durchkontaktierungs-Muster erstellt werden, z. B. mit GND-Rückführung, können Sie dieses Muster jetzt kopieren und für andere Paare im Entwurf wiederverwenden. Weitere Funktionen zur Verbesserung des Routings mit Paaren sind u.a. die automatische Drehrichtung beim Wechseln von Lagen und Erstellung eines Via-Musters sowie die Anzeige eines zulässigen Abschlusspfads, der beim Routen des Paares angezeigt wird.

Enable	Attribute Name	Match Value	Differential Pair Nets		Match Within		Template String	Edge Coupled	Broadside	Allow Spurs	Include All	Add
			Net 1 Match	Net 2 Match	Item Type	Name Match						
<input checked="" type="checkbox"/>	<Net Name>	DQS_*	*P	*N	Area	<None>	<netCommonName>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input checked="" type="checkbox"/>	<Net Name>	LCO_D*	*1	*2	Area	<None>	<netCommonName>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input checked="" type="checkbox"/>	<Net Name>	SDI_In*	*_1	*_2	Area	<None>	<netCommonName>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input checked="" type="checkbox"/>	<Net Name>	SDQ0*	*_P	*_N	Area	<None>	<netCommonName>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Attribute: <Net Name>

Match: SDI\_In\*

Differential Pair Name: <netCommonName>

Field: Common part of the net names

Match Separator:

Match Within: Item Type: Area

Name Match: <None>

Add Differential Pair Attribute: Attribute: Value:

New Differential Pair Values: Tracks Are Paired When: Edge Coupled:  Broadside:  Allow Track Spurs:  Include All:

Differenzialpaar-Regeln ermöglichen die einfache automatische Erstellung mehrerer Paare

## Formen Informations/Bearbeitungsleiste

Mit der neuen Leiste für Formen kann jede Form in einem Zellbereich erstellt und bearbeitet werden. Das Bearbeiten von Formen kann mit ausgewählten Befehlen und Modi erfolgen, die von Längen bis zu Punkten und absoluten oder relativen Koordinaten reichen. Alle Formen, inkl. Linien, Bögen und Radien, können durch Auswählen bearbeitet werden. Wenn komplexe Formen bearbeitet werden, kann der Dialog zum Finden und Hervorheben des gewünschte Segment dienen.

Type	X	Y
Start Point	63.2860	38.8620
Clockwise To	65.7860	41.3620
With Centre At	65.7860	38.8620
Clockwise To	68.2860	38.8620
With Centre At	65.7860	38.8620
Line To	131.5720	38.8620
Anti Clockwise To	133.0960	40.3860
With Centre At	131.5720	40.3860
Line To	133.0960	53.0860
Line To	132.5880	53.5940
Line To	127.2540	53.5940

Bearbeiten Sie Formen im Design mithilfe der Forminformationsleiste

## Funktionsübersicht:

- Verbesserungen bei benutzerdefinierten Pads
- Vertikale Ausrichtung bei mehrzeiligem Text
- Übertragung Track & Vias Styles SCM -> PCB
- Verbindung mehrerer Bauteile mit Bus Segment
- Neuer PCB Wizard
- Auto-Pan Funktion
- Einstellungen zur Optimierung großer Netze
- Warnung bei Optimise All Nets mit großen Netzen
- Dynamische Ausrichtung von Elementen
- Auswahl über Auswahlliste
- Dynamische Attribute für Part Description
- Überschreiben der Lese-Orientierung von Text
- Farbmarkierung für nicht angeschlossene Pins
- Neuer Signal Referez Typ - Netz Label
- Symbol für Befestigungslöcher im Schaltplan
- Micro-Via zu Buried Via Versatz - Abstandsregel
- Neue DRC Prüfungen für Herstellung
- Erweiterte Bemaßungsfunktionen
- Neuer Linien Selektions-Modus
- Auswahl Leiterbahnzug über Bauteile
- Skalierung von: Formen, Symbolen, Text, Bitmaps
- Export von Plot-Ausgaben als ZIP
- Plot-Ausgabe als SVG Vektorgrafik
- Leiterbahn Impedanz Rechner
- Chip-On-Board Option: Bedienung vereinfacht
- Möglichkeit zum Laden von Teil-Farbdefinitionen

## IPC-2581 Lagenaufbau Import

Zur Unterstützung komplexer Lagenaufbauten können im IPC-2581-Format

erstellte Dateien aus externen Quellen, in denen der Lagenaufbau berechnet wurde, in das Dialogfeld Layer importiert werden. Auf diese Weise kann ein vollständiger Lagenaufbau mit Impedanzparametern extern generiert und in Pulsonix importiert werden.

Name	Associated Layer	Class	Side	Bias	Net	Material	Thickness
Assembly Top	Assembly Top	None	Top	None			0.000
Silkscreen Top	Silkscreen Top	None	Top	None			0.000
Paste Mask Top	Paste Mask Top	None	Top	None			0.000
Solder Mask Top	Solder Mask Top	None	Top	None	Mask (0.025)		0.025
Top	Electrical	Top	None	None	Copper Foil		0.036
Prepreg A	Construction	None	None	None	Prepreg (0.11)		0.110
Prepreg B	Construction	None	None	None	Prepreg (0.11)		0.110
DIELECTRIC_1	Prepreg	Inner	None	None	FR4 Core Cu		0.060+
Ground	Electrical	Inner	None	None	FR4 Core Cu		0.053
Substrate	Construction	None	None	None	FR4 (1.0)		1.000
DIELECTRIC_2	Core	Inner	None	None	FR4 Core		0.075
Power	Electrical	Inner	X	None	Copper 1oz (0.035)		0.035
Prepreg D	Construction	None	None	None	Prepreg (0.11)		0.110
Prepreg C	Construction	None	None	None	Prepreg (0.11)		0.110
DIELECTRIC_3	Prepreg	Inner	None	None	PrePreg 1080		0.069
DIELECTRIC_4	Prepreg	Inner	None	None	PrePreg 7628		0.184
DIELECTRIC_5	Prepreg	Inner	None	None	PrePreg 1080		0.069
L4	Electrical	Inner	None	None	FR4 Core Cu		0.035
DIELECTRIC_6	Core	Inner	None	None	FR4 Core		0.000
L5	Electrical	Inner	None	None	FR4 Core Cu		0.035
DIELECTRIC_7	Prepreg	Inner	None	None	PrePreg 1080		0.069
DIELECTRIC_8	Prepreg	Inner	None	None	PrePreg 7628		0.184
DIELECTRIC_9	Prepreg	Inner	None	None	PrePreg 1080		0.069
L6	Electrical	Inner	None	None	FR4 Core Cu		0.035
DIELECTRIC_10	Core	Inner	None	None	FR4 Core		0.075
L7	Electrical	Inner	None	None	FR4 Core Cu		0.053
DIELECTRIC_11	Prepreg	Inner	None	None	PrePreg 3113		0.069+
Bottom	Electrical	Bottom	None	None	Copper Foil		0.036
Solder Mask Bottom	Solder Mask	Bottom	None	None	Mask (0.025)		0.025
Paste Mask Bottom	Paste Mask	Bottom	None	None			0.000

Erstellen Sie komplexe Lagenaufbauten mit den neuen verfügbaren Werkzeugen und Importmechanismen

Um die Erstellung komplexer Lagenaufbauten zu beschleunigen, können Sie im Dialogfeld Layer jetzt auch CSV-Dateien exportieren und importieren. Eine weitere neue Funktion beim manuellen Erstellen von Aufbauten ist die Funktion Reflect Layer Stack, mit der die Hälfte des Aufbaus definiert und dann mithilfe der Schaltfläche "Reflect" automatisch als Spiegelbild vervollständigt werden kann.

